

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



PATENT ABSTRACTS OF JAPAN

(11) Publication number: 59121978 A

(43) Date of publication of application: 14.07.84

(51) Int. Cl

H01L 29/78

(21) Application number: 57229002

(71) Applicant: NEC CORP

(22) Date of filing: 28.12.82

(72) Inventor: YAMAZAKI TORU

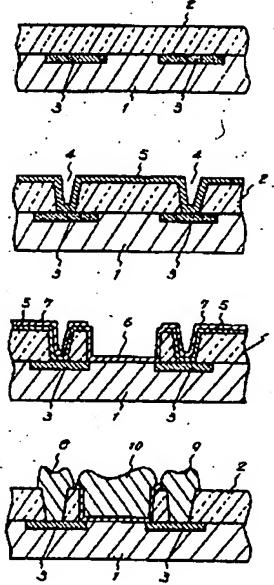
(54) MANUFACTURE OF SEMICONDUCTOR DEVICE**(57) Abstract:**

PURPOSE: To prevent a defective short circuit by electrode materials, and to inhibit the variation of threshold voltage by forming electrodes consisting of conductor layers and metals to the contact sections of source-drain in the MOS type semiconductor device and forming an electrode made of a metal on a gate.

CONSTITUTION: The source and drain regions 3 of an MOS transistor and formed on an N type silicon substrate 1. A silicon oxide film 2 on the source- drain regions 3 is removed to form contact holes 4, and a polycrystalline silicon layer 5 is formed on the substrate 1. The polycrystalline silicon layer 5 and the oxide film 2 of a gate section are removed, and a gate oxide film 6 is formed through thermal oxidation. An oxide film 7 on polycrystalline silicon 5 is removed and Al is evaporated, and each electrode and wirings of the source, the drain and the gate are formed. The polycrystalline silicon layer on the field oxide film 2 is removed through etching while using the Al wiring as a mask. Al and polycrystalline silicon are alloyed through heat treatment, and each electrode 8, 9 and 10 of the source, the drain and the gate is formed. Accordingly, the electrodes can be extracted from a

shallow junction, and the variation of threshold voltage due to the coating of the gate oxide film 7 on the polycrystalline silicon layer 5 is inhibited.

COPYRIGHT: (C)1984,JPO&Japio



⑯ 日本国特許庁 (JP) ⑮ 特許出願公開
⑯ 公開特許公報 (A) 昭59—121978

⑯ Int. Cl.³
H 01 L 29/78

識別記号 庁内整理番号
7377—5F

⑯ 公開 昭和59年(1984)7月14日

発明の数 1
審査請求 未請求

(全 4 頁)

⑯ 半導体装置の製造方法

⑯ 特 願 昭57—229002
⑯ 出 願 昭57(1982)12月28日
⑯ 発明者 山崎亨

⑯ 出願人 日本電気株式会社
東京都港区芝5丁目33番1号
⑯ 代理人 弁理士 内原晋

東京都港区芝5丁目33番1号
日本電気株式会社内

明細書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

基板上の絶縁層を選択的に除去して開孔を形成する工程と、全面に半導体層を形成する工程と、ゲート部となるべきところの上記絶縁層と上記半導体層とを除去してゲート絶縁膜を形成する工程と、前記ゲート絶縁膜形成工程により形成される半導体層上の酸化膜を除去する工程と、上記開孔上に上記半導体層と金属による電極を形成する工程とを含むことを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

本発明は半導体装置、特にMOS型集積回路装置およびその製造方法に関するものである。

MOS集積回路装置のチャンネル長を5μm以

下に短縮した際に問題となる短チャンネル効果の防止策のひとつとして、ソース、ドレイン領域の接合深さを浅くすることが知られている。この接合深さを1μm以下としてソース、ドレイン領域を形成し、このソース、ドレイン領域上に各電極を形成する場合、例えば、電極材料として純粋なアルミニウムを使用すると、アルミニウムが接合を突き抜けて短絡不良を生じる。この短絡不良はソース・ドレイン領域とアルミアロイを行き際に、シリコン酸化膜とシリコン基板との境界にそって横方向にアルミニウムがシリコンを食い、かつ、拡散することに起因する。

この短絡不良の解決策として、アルミニウム中にあらかじめシリコンを入れておき(例えば、約2%シリコンを含むアルミニウム)、これを蒸着する方法がある。又、アルミニウム蒸着前に多結晶シリコン又は非結晶シリコンの薄膜を形成した後、アルミニウム蒸着を行う方法が一般に知られている。

しかし、前者の方法では蒸着時にルツボ内での

シリコンとアルミニウムの混合比を均一性良く制御することが無しく、蒸着形成された導電層の組成を適切に制御しにくい欠点がある。一方、後者はアルミニウムをゲートとするアルミゲートMOS集積回路装置において、一般にゲート絶縁膜形成後にソース、ドレイン電極のためのコンタクト穴を形成する従来製造方法では、多結晶シリコンまたは、非結晶シリコンの薄膜がゲート酸化膜上にも被覆して仕事関数が変化するために閾値電圧変動の原因となる。また、従来製造方法のままゲート絶縁膜形成後、フォトエッティングで該ゲート酸化膜上の多結晶シリコン層を取り除こうとするとゲート酸化膜が汚染され易くなる欠点がある。

本発明の目的は電極材料による短絡不良を防ぎ、かつ、閾値電圧変動を抑えることができる半導体装置およびその製造方法を提供することにある。

本発明によれば基板上の酸化膜の所定部に開孔を施す工程と、全面に多結晶半導体層を形成する工程と、多結晶半導体層および酸化膜の所定部を除去してゲート酸化膜を形成する工程と、ゲート

でソース・ドレイン領域3上のシリコン酸化膜2を除去してコンタクト穴4を形成した後、LPCVD (Low Pressure Chemical Vapor Deposition) 法等を用いて、基板1上に厚さ200~2000Åの多結晶シリコン層5を形成する。次に、第4図に示すように、フォトエッティング法を用いてゲート部の多結晶シリコン層5および酸化膜2を除去し、かかる後、ゲート酸化膜6を熱酸化により形成する。

次に、第5図に示すように、フォトエッティング法を用いて多結晶シリコン5上の酸化膜7を取り除いた後にアルミニウムを蒸着し、ソース、ドレインおよびゲートの各電極と配線を形成する。フィールド酸化膜2上の多結晶シリコン層はアルミニ配線をマスクとしてエッティング除去する。そして熱処理を施してアルミニウムと多結晶シリコンとを合金化し、ソース、ドレインおよびゲートの各電極8、9および10が形成される。尚、ゲート電極10はシリコンとの合金層ではない。

以上の工程において、ゲート酸化時間と多結晶

酸化膜と開孔上の多結晶半導体層との間に金属層を形成する工程とを含む半導体装置の製造方法が得られる。又、本発明によれば、ソース、ドレインのコンタクト部に半導体層と金属による電極を有し、ゲート上には金属のみの電極を有することを特徴とする半導体装置をえられる。

つぎに図面により本発明を詳細に説明する。

第1図は本発明の構造を示す断面図である。すなわち、電極8、9は半導体層例えば多結晶シリコン層と金属例えばアルミニウムによる電極であり、電極10は金属例えばアルミのみの電極である。

第2図から第5図は本発明の一実施例を示す工程断面図である。まず、第2図に示す様に、一導電型、例えばN型シリコン基板1上にフォトエッティング法とイオン注入法又は熱拡散法等とを用いて接合深さ0.2~1μm程度のMOSトランジスタのソースおよびドレイン領域3を形成する。そして、表面にシリコン酸化膜2を形成する。次に、第3図に示すように、フォトエッティング法を用い

シリコン層5の減少量の間には、第7図に示すような関係がある。例えば厚さ1000Åなるゲート酸化膜を950°Cステム酸化で形成した場合、厚さ500Åの多結晶シリコンが酸化される。従って、電極形成前に500Åの多結晶シリコンを残したい場合は、あらかじめ堆積する多結晶シリコン層5の厚さを1000Åに選べばよい。以上の工程により、所望の半導体装置を形成することができる。

かかる半導体装置の製造方法によれば、浅い接合からの電極取り出しができ、しかも多結晶シリコン層5のゲート酸化膜7被覆による閾値電圧変動を抑えられ、MOS集積回路装置を再現性良く製造することができる。

また、本発明において、第6図に示すようにコンタクト穴4を形成後シリコン基板1上に多結晶シリコン層11をLPCVD法等を用いて形成し、次に熱拡散法又はイオン注入法でソース・ドレイン領域3を形成してもよい。このとき、多結晶シリコン層11は不純物を含んだドープドシリ

コン層となる。そして、このあとの工程は第3～5図と同じである。

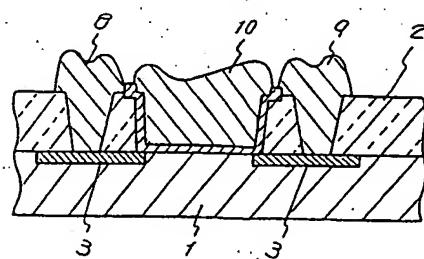
4. 図面の簡単な説明

第1図は本発明の一実施例を示す断面図である。

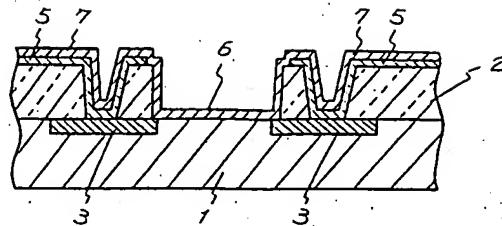
第2図乃至第5図は本発明の一実施例を示す各製造工程での断面図である。第6図は他の実施例による工程の一部を示す断面図である。第7図は、本発明によるゲート酸化膜厚と多結晶シリコン減少量の関係を示す特性図である。

1 ……シリコン基板、2 ……シリコン酸化膜、3 ……MOSトランジスタのソース・ドレイン領域、4 ……コンタクト穴、5 ……多結晶シリコン層、6 ……ゲート酸化膜、7 ……多結晶シリコン層上に形成された酸化膜、8 ……半導体層と金属からなるソース電極、9 ……半導体層と金属からなるドレイン電極、10 ……ゲート電極、11 ……ソース・ドレイン領域と同伝導型の不純物を含む多結晶シリコン層。

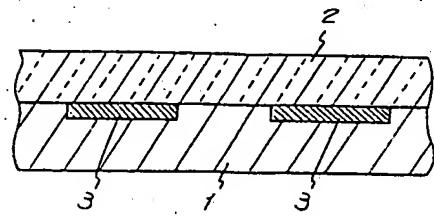
第1図



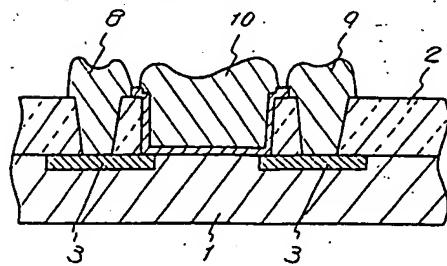
第4図



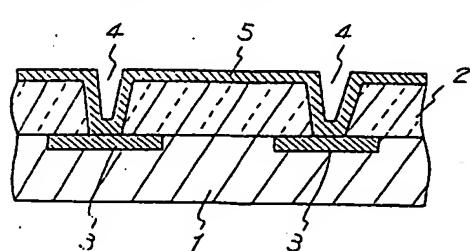
第2図



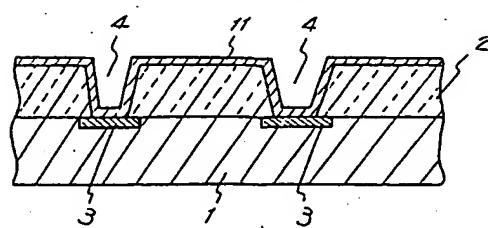
第5図



第3図



第6図



第7図

